

03500.017414.



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
	:	Examiner: Not Yet Assigned
YASUO FUJII ET AL.)	
	:	Group Art Unit: Not Yet Assigned
Application No.: 10/619,577)	
	:	
Filed: July 16, 2003)	
	:	
For: INK JET HEAD)	
SUBSTRATE, INK JET	:	
HEAD USING THE)	
SUBSTRATE, AND INK	:	
JET PRINT APPARATUS)	December 19, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

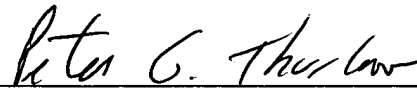
Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed
is a certified copy of the following foreign application:

No. 2002-211009, filed July 19, 2002.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,



Attorney for Applicants

Registration No. 47,138.

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 395866v1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 1 1 0 0 9
Application Number:

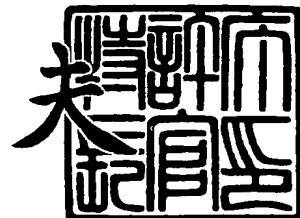
[ST. 10/C]: [J P 2 0 0 2 - 2 1 1 0 0 9]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 3 年 8 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 4751007

【提出日】 平成14年 7月19日

【あて先】 特許庁長官 殿

【国際特許分類】 B41J 2/05

【発明の名称】 インクジェットヘッド用基体、該基体を用いたインクジェットヘッドおよびインクジェットプリント装置

【請求項の数】 8

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

【氏名】 藤井 康雄

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

【氏名】 森井 崇

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インクジェットヘッド用基体、該基体を用いたインクジェットヘッドおよびインクジェットプリント装置

【特許請求の範囲】

【請求項 1】 基板上に、複数の発熱体と、前記複数の発熱体を画像データに応じて駆動させるドライバと、前記発熱体に印加する駆動パルスの幅を規定するためのパルス幅規定信号の入力部と、前記複数の発熱体を所定個数ごとのブロックに分割しブロックを単位とした時分割駆動を行わせるためのブロック選択部とを形成してなるインクジェットヘッド用基体において、

前記ブロック選択部によって選択されたブロック内の発熱体に印加される前記駆動パルスのタイミングをずらして当該ブロック内の発熱体に供給するための論理回路を、前記パルス幅規定信号のラインに設けたことを特徴とするインクジェットヘッド用基体。

【請求項 2】 前記ドライバに与える駆動信号を制御する駆動制御ロジックと、前記駆動制御ロジックの入力部分に設けられ入力データしきい値が立ち上がりと立ち下がりとで異なるようにするヒステリシス回路と、をさらに備える、請求項 1 に記載のインクジェットヘッド用基体。

【請求項 3】 前記論理回路は、偶数段の CMOS インバータを直列に接続して構成される、請求項 1 または 2 に記載のインクジェットヘッド用基体。

【請求項 4】 直列入力される画像データを並列に出力するためのシフトレジスタと、該シフトレジスタから出力されるデータを一時記憶するラッチ回路とが前記基板上にさらに設けられ、

前記発熱体、前記ドライバ、前記入力部、前記ブロック選択部、前記シフトレジスタおよび前記ラッチ回路は前記基板上に成膜工程により形成され、前記論理回路は、前記シフトレジスタおよび前記ラッチ回路を含む駆動制御ロジック系と同一の成膜工程で構成されるインバータ回路の形態を有し、当該インバータ回路が前記工程において同時に形成されるようにしたことを特徴とする、請求項 1 に記載のインクジェットヘッド用基体。

【請求項 5】 前記インバータ回路は CMOS インバータ回路である請求項

4に記載のインクジェットヘッド用基体。

【請求項6】 請求項1乃至5のいずれかに1項に記載のインクジェットヘッド用基体と、該インクジェットヘッド用基体に組み合わされ前記発熱体に関連する液路および該液路の一端をなすインク吐出口を形成するための部材と、を備えたことを特徴とするインクジェットヘッド。

【請求項7】 請求項6に記載のインクジェットヘッドと、該インクジェットヘッドに対しプリント媒体を相対搬送するための手段と、を備えたことを特徴とするインクジェットプリント装置。

【請求項8】 前記インクジェットヘッドを着脱自在に支持し、前記プリント媒体に対して走査させるためのキャリッジを備えたことを特徴とする請求項7に記載のインクジェットプリント装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ノイズに対し、誤動作のない安定したプリントを行い得るインクジェットヘッド用基体、このインクジェットヘッド用基体を用いたインクジェットヘッド、およびこのインクジェットヘッドを用いたプリンタ等のインクジェットプリント装置に関する。

【0002】

【従来の技術】

インクジェット記録法（液体噴射記録法）は、作動時における騒音の発生が無視し得る程度に極めて小さいという点、高速記録が可能であり、しかも定着という特別な処理を必要とせずいわゆる普通紙に記録の行なえる点等において極めて優れており、最近ではプリント方式の主流になりつつある。特に、熱エネルギーを利用するインクジェットヘッドでは、発熱体（電気熱変換体；ヒータ）によって発生した熱エネルギーを液体に付与することにより、液体中で選択的に発泡現象を生じさせ、その発泡のエネルギーにより吐出口からインク液滴を吐出する。このようなインクジェットヘッドでは、記録密度（解像度）の向上のために、シリコン半導体基板上などに微細な発熱体を多数個配置し、さらに、発熱体ごと

にその発熱体に対向するように吐出口を配置しており、発熱体を駆動するための駆動回路や周辺回路もシリコン半導体基板上に設けるようにしている。このようにシリコン半導体基板上に発熱体や駆動回路、周辺回路を設けたものをインクジェットヘッド用基体と呼ぶ。例えば、数十から数千個の発熱体と、各発熱体に対するドライバと、直列に入力される画像データをそれぞれドライバに並列に送るための発熱体と同一ビット数のシフトレジスタと、シフトレジスタから出力されるデータを発熱体ごとに一時記憶するラッチ回路とを、同一シリコン半導体基板内に設けるようになってきた。

【0003】

このように最近では、ヘッド用基体へのドライバ、シフトレジスタ、ラッチ等のロジック回路の集積化が進んでいるが、1つの発熱体に流れる電流パルスは、瞬間的にはかなりの電流値に達するものであり、同時にオンとなる発熱体の数（すなわち同時にインク液滴が吐出する吐出口の数）が多い場合には、例えば、1～数アンペア程度のパルス状の電流が、発熱体を駆動するための電源ラインおよび接地（GND）ラインに流れることになる。

【0004】

このようなパルス状の大電流が流れることによって、プリンタ装置本体からインクジェットヘッドまでのフレキシブル配線やインクジェットヘッド内の配線等で発生する誘導結合によるノイズによって、ヘッド用基体上のロジック回路部が誤動作するおそれが生じる。また、プリンタ装置の外部への不要な電磁ノイズの放射も懸念されるところである。

【0005】

誘導ノイズは、単位時間あたりの電流の変化量が大きくなるほどレベルが高くなることから、高速あるいは高精細プリントなどのためにインクジェットヘッドに設けられる吐出口の数の増大に伴い、さらに同時オンされるエレメント数の増加が予想され、電流パルスの電流値もさらに大きくなり、すなわちノイズレベルが高くなることになる。

【0006】

そこで、ヘッド用基体上に設けられる多数の吐出口に対して同時に駆動を行う

のではなく、これらの吐出口を複数のブロックに分割し、ブロック単位で駆動を行うことが行われている。すなわち、あるタイミングでは第 1 のブロックにおいて選択的に発熱体を駆動し、残りのブロックではいずれの発熱体も駆動されないようにし、次のタイミングでは、第 2 のブロックにおいて選択的に発熱体を駆動し、残りのブロックではいずれの発熱体も駆動されないようにし、以下同様にしてブロックを一巡することによって全ての吐出口に対応した発熱体の 1 回の駆動が完了するようにしている。

【 0 0 0 7 】

しかしながら、吐出口の数が多い場合には、適切な数のブロックに分割した程度では電流パルスの大きさが小さくならず、誘導ノイズの発生量を抑えることができない。ブロック数を多くして同時にオンする発熱体の数を減らすことも考えるが、そのように構成した場合には、1 つ当たりのブロックに割り当てられる時間が短くなって、インク吐出のために十分なエネルギーが得られなくなるおそれがある。

【 0 0 0 8 】

そこで、特開平 7 - 6 8 7 6 1 号公報には、同一ブロックに属する発熱体に対して印加される駆動パルスを発熱体ごとに少しずつずらす構成が開示されている。すなわち、インクジェットヘッド用基体の形成に際し、発熱体、ドライバ、シフトレジスタ等のロジック吐出制御回路の構成要素とともに、入力部にはヒステリシス回路を設けるとともに、異なる発熱体に対してタイミングがずれて駆動パルスが印加されるようにするため、駆動パルスのパルス幅やタイミングを規定するヒートパルス（入力パルス幅信号）の信号経路に C R （コンデンサ抵抗）積分回路を形成し、ヒートパルスをディレイさせて各発熱体が順次駆動されるようにしている。このように C R 積分回路を用いてヒートパルスのタイミングをずらし、発熱体に流れる電流を制御することにより、全く同じタイミングでオンとなる発熱体の数を減らし、駆動パルスによる電流のピーク値や電流の立ち上がり率を小さくし、ノイズの発生を抑えるようにしている。これによって、高速プリントに不可欠である吐出口数の増大や高密度実装に伴う同時駆動される発熱体数の増加があったとしても、誘導ノイズ等の発生が抑えられることになる。

【0009】

【発明が解決しようとする課題】

しかしながら、上述した特開平7-68761号公報に開示されるようにCR積分回路を用いることによってノイズの発生を抑えるようにした場合、C（コンデンサ）とR（抵抗）のばらつきがある場合には、その積がヒートパルスのディレイ値におけるばらつきとなり、そのため、発熱体に流れる電流を精度よく制御することができず、結果として、ノイズの発生を十分に抑えることができないことがある、という問題点が生じる。また、CR積分回路は、入力バッファ、コンデンサおよび抵抗で構成されているので、次段のロジック回路入力までの配線パターン長の差などが大きくなると、ディレイ値がばらつくことにもなっていた。また、典型的にはシリコン半導体装置製造技術を用いて製造されるヘッド用基体においては、コンデンサにはゲート酸化膜が使用され、抵抗には拡散抵抗を使用するような場合に、所望の時定数を有するCR積分回路を構成しようとすると、ヘッド用基体上においてコンデンサと抵抗が大きな面積を占めることとなり、ヘッド用基体が大きくなるといった問題点を生じていた。

【0010】

そこで本発明の目的は、ノイズの発生を十分に抑えることができるとともに、寸法的にも小さく構成できるインクジェットヘッド用基体、そのような基体を用いたインクジェットヘッドおよびインクジェットプリント装置を提供することにある。

【0011】

【課題を解決するための手段】

本発明のインクジェットヘッド用基体は、基板上に、複数の発熱体と、複数の発熱体を画像データに応じて駆動させるドライバと、発熱体に印加する駆動パルスの幅を規定するためのパルス幅規定信号の入力部と、複数の発熱体を所定個数ごとのブロックに分割しブロックを単位とした時分割駆動を行わせるためのブロック選択部とを形成してなるインクジェットヘッド用基体において、ブロック選択部によって選択されたブロック内の発熱体に印加される駆動パルスのタイミングをずらして当該ブロック内の発熱体に供給するための論理回路を、パルス幅規

定信号のラインに設けたことを特徴とする。

【0012】

本発明において、上述した論理回路として、CMOSインバータ回路を偶数段接続して構成された遅延回路が好ましく使用される。

【0013】

本発明のインクジェットヘッドは、本発明のインクジェットヘッド用基体と、インクジェットヘッド用基体に組み合わされ発熱体に関連する液路および液路の一端をなすインク吐出口を形成するための部材と、を備えたことを特徴とする。

【0014】

本発明のインクジェットプリント装置は、本発明のインクジェットヘッドと、インクジェットヘッドに対しプリント媒体を相對搬送するための手段と、を備えたことを特徴とする。

【0015】

【発明の実施の形態】

次に、本発明の好ましい実施の形態について、図面を参照して説明する。図1は、本発明の実施の一形態のインクジェットヘッド用基体の回路構成の一例を示す回路図である。

【0016】

図1において、基体400上に多数の発熱体401が設けられており、発熱体401の一端は発熱体駆動電源に共通に接続し、他端は、それぞれ、発熱体401ごとに設けられたパワートランジスタ402を介して接地されている。パワートランジスタ402は、発熱体401に対するスイッチとして機能する。基体400上には、ラッチ回路403、シフトレジスタ404が設けられている。さらに、同時に駆動される発熱体401の数を少なくし瞬時に流れる電流を小さくすることによりプリンタ本体電源装置の小型化をはかる目的などで、発熱体群を所定個数ごとのブロックに分割し、ブロックを単位として分割駆動を行うために設けられるデコーダ等の時分割駆動ブロック選択用ロジック405、ヒステリシス特性を有するロジック系バッファ406などが、基体400上に形成されている。入力信号としては、シフトレジスタを動かすためのクロック、画像データを直

列（シリアル）で受け取る画像データ入力、ラッチ回路でデータを保持させるためのラッチクロック、ブロック選択のためのブロックイネーブル信号、パワートランジスタのオン時間すなわち発熱体を駆動している時間を外部からコントロールするためのヒートパルス、ロジック回路駆動電源（5 V）、接地（GND）線、発熱体駆動電源があり、それぞれ、基体上のパッド 4 0 7, 4 0 8, 4 0 9, 4 1 0, 4 1 1, 4 1 2, 4 1 3 および 4 1 4 を介して入力される。さらに、各パワートランジスタ 4 0 2 ごとに、ヒートパルス、ラッチ 4 0 3 の出力、およびデコーダ 4 0 5 からの出力の論理積（AND）をとってその結果によってパワートランジスタ 4 0 2 を制御し、駆動パルスが発熱体 4 0 1 を流れるようにするアンド（AND）回路が設けられている。

【0 0 1 7】

このヘッド用基体を用いた記録の駆動シーケンスは、まずプリンタ本体より画像データをクロックに同期してシリアルにヘッド内部の基体に送り、それを基体内シフトレジスタ 4 0 4 が取り込む。その取り込んだデータをラッチ回路 4 0 3 において一時記憶し、次の画像データのラッチ回路保持までの間にブロック選択を時分割で行ない、そのブロック選択の各々でヒートパルス入力パッド 4 1 1 からヒートパルスが入力されると、ブロック選択され、かつ画像データがオンである、ひとつもしくは複数のパワートランジスタ 4 0 2 がオンとなり、当該ブロック選択され、かつ画像データがオンである、ひとつもしくは複数の発熱体 4 0 1 に電流（駆動パルス）が流れて駆動されるというものである。

【0 0 1 8】

さらにこの実施の形態では、同一ブロックに属する発熱体であってもずれたタイミングで駆動されるようにするため、遅延回路群 1 0 2 を設け、ヒートパルス入力パッド 4 1 1 から入力したヒートパルスに基づいて、遅延時間が異なるヒートパルスを生成し、これらのヒートパルスを同じブロック中の異なる発熱体 4 0 1 に向けて供給するようにしている。すなわち、遅延回路群 1 0 2 は、インバータ回路を直列に偶数段接続して設けたいくつかの遅延回路 1 0 4 を有しており、同一ブロックに含まれる発熱体の数から 1 を減じた数の発熱体に対して、それぞれの発熱体に対するヒートパルスを、それらの発熱体に対するそれぞれのヒート

パルス信号ライン 103 上に出力する。図示した例では、1つのブロックは4個の発熱体 401 から構成されており、これらを便宜的に A～D で表わすものとする。A の発熱体に対しては、ヒートパルス入力パッド 411 から入力したヒートパルスがそのまま供給され、B の発熱体に対しては、ヒートパルス入力パッド 411 から入力したヒートパルスが1つの遅延回路 104 を介して供給され、C の発熱体に対しては、B の発熱体に供給されるべきヒートパルスを1つの遅延回路 104 によってさらに遅延させたヒートパルスが供給され、D の発熱体に対しては、C の発熱体に供給されるべきヒートパルスを1つの遅延回路 104 によってさらに遅延させたヒートパルスが供給されている。結局、B、C および D の発熱体には、ヒートパルス入力パッド 411 に入力したヒートパルスをそれぞれ1段、2段および3段の遅延回路 104 によって遅延させて得られたヒートパルスが供給されることになる。

【0019】

このような遅延回路 104 は、シフトレジスタ 404 およびラッチ回路 403 を含む駆動制御系のロジック系と同一の成膜工程で構成されるインバータ回路を複数組み合わせ構成されたインバータ遅延回路である。図2は、遅延回路 104 として設けられるインバータ遅延回路を示している。図2において、(A) は遅延回路 104 をブロックレベルで示しており、(B) はさらに詳細にゲートレベルで示している。

【0020】

インバータ遅延回路の入力 201 に入力された信号は、インバータ遅延回路により遅延されて出力 202 に出力される。図2の(A)に示すように、遅延回路 104 は、入力バッファ 204 と、縦続接続された2段のディレイ 205 と、および出力バッファ 206 とにより構成されている。ここで、入力バッファ 204、ディレイ 205 および出力バッファ 206 のいずれも CMOS (Complementary Metal Oxide Semiconductor) インバータ回路である。ディレイ 205 が2段設けられていることから、結局この遅延回路 104 は、4段のインバータ回路を縦続接続したものということになる。

【0021】

この遅延回路では、図2の(B)に示すように、入力バッファ204と出力バッファ206においては、そのインバータを構成する各MOSトランジスタ(pチャネル及びnチャネル)のゲート長(チャネル長)Lを、シフトレジスタ404およびラッチ回路403を含む駆動制御系のロジック系と同一の $2\mu\text{m}$ としている、また、ディレイ205におけるゲート長Lは、 $2\mu\text{m}$ よりも十分大きな $10\mu\text{m}$ とし、十分な遅延が得られるようにしている。なお、ディレイ205におけるゲート幅(チャネル幅)Wに関しては、入力バッファ204におけるものと同じ値(例えばn-MOSについて $6\mu\text{m}$ 、p-MOSについて $9\mu\text{m}$)としている。出力バッファ206のゲート幅Wは、n-MOSについて $12\mu\text{m}$ 、p-MOSについて $18\mu\text{m}$ としている。

【0022】

本実施形態では、4エレメントの発熱体401によってブロックを形成しているとして、ヒートパルス入力パッド411からのヒートパルスの信号ライン部分に対して3個の遅延回路104を設けて4種類のヒートパルス信号ライン103を構成し、ブロック選択回路405によって同時に選択される4つの発熱体(エレメント)の間で実際にヒートパルスが伝わる時間がそれぞれのエレメントで 10ns ずつずれるように配線した。ここで、図1でのA~Dの発熱体が全て選択され駆動されるものとして、すなわちこれら発熱体に対するラッチ403からの信号は全てアクティブ(イネーブル)であってヒートパルスがハイレベルである場合にパワートランジスタ402がオン状態となって発熱体401に電流が駆動パルスとして流れるものとして、本実施形態の動作を説明する。

【0023】

Aの発熱体は、ヒートパルス入力パッド411に入力した通りのヒートパルスで駆動され、このAの発熱体へのヒートパルスを遅延した波形が発熱体Bへのヒートパルスとなる。この場合、実際に発熱体Bのヒートパルスがパワートランジスタ402のしきい値を越え、発熱体Bに電流が流れ始める(オンする)時刻は、発熱体Aに電流が流れ始める時刻よりも遅れる。同様にして、発熱体Cに電流が流れ始める時刻、さらには発熱体Dに電流が流れ始める時刻も順次遅れることから、発熱体駆動電源ラインに流れる電流パルスは、階段状となる。すなわち単

位時間あたりの電流変化量は、単一の発熱体がオンする場合と大差がなくなり、ノイズレベルは大幅に小さくなる。

【0024】

特開平7-68761号公報に記載のものと比較しても、本実施形態のヘッド用基体では、CR積分回路ではなくCMOSインバータによってヒートパルスを遅延させているため、遅延量のばらつきが少なくなり、発熱体に加わる電流を精度よく制御できるようになる。したがって、ノイズの発生量をより抑制することができる。さらに、シリコン半導体基板上において、CMOSインバータ回路の方が、CR積分回路より小さく作りこむことができるから、本実施形態のヘッド用基体の方が、従来のものよりも、小さくすることができ、コストダウン、生産性の向上につながる。

【0025】

なお、本実施形態では、4つの発熱体が同時にブロック選択され、かつ1つの発熱体ごとにヒートパルス伝達時間がずれるようにした場合について例示したが、1ブロックを構成する発熱体の数は適宜定め得るものであり、またノイズレベルが問題とならない範囲でいくつかの発熱体を組み合わせて同じタイミングでヒートパルスを印加するようにしてもよい。本発明は、インバータによる遅延回路による遅延量を増減させ、配線を適切に施すことにより、あらゆる数の発熱体の同時オンのケースにあてはめられることは、もちろんである。

【0026】

上記のインバータによる遅延回路104は、いずれも、シリコン半導体基板上に発熱体、ドライバ（パワートランジスタ）、シフトレジスタ、ラッチ回路を含む駆動制御ロジック系、パルス幅入力部（パッド411）およびブロック選択回路405等を成膜工程により形成してヘッド用基体400を製造するプロセスに変更を加えることなく、同時に製造できる。したがって基体の入力部のパッド数や基体内の他の回路構成は大きく変える必要がないことから、上述したように遅延回路群102を設けたとしても、基体自身のコストアップはほとんど生じない。またヘッド内でノイズに対処することができたため、他の部分にノイズ対策用のコンデンサ等の部品をつける必要がなくなることから、装置本体のコストダウ

ン、小型化をも実現するものである。

【0027】

本発明において、ヒートパルスを遅延させるための遅延回路104としては、図2に示したものに限定されるものではない。図3は、遅延回路の別の例を示している。

【0028】

図3に示す遅延回路は、図2の遅延回路と同様に、それぞれCMOSインバータ回路からなる入力バッファ204と2段のディレイ209と出力バッファ206とを備えているが、ディレイ209の構成が図2に示すものと異なっている。すなわち、図3に示す遅延回路において、CMOSインバータ回路であるディレイ209は、遅延量を大きくするために、通常のCMOSインバータ回路（図2参照）でのNチャネルMOSトランジスタを2個のNチャネルMOSトランジスタを縦続接続したものに置き換え、PチャネルMOSトランジスタを2個のPチャネルMOSトランジスタを縦続接続したものに置き換えたものである。各MOSトランジスタのゲートには共通に前段のインバータの出力が供給されている。

【0029】

この構成では、各MOSトランジスタにおけるゲート（チャネル）長Lを大きくすることなく、十分な遅延時間を得ることができる。特に、遅延回路を構成する各MOSトランジスタのゲート長Lを、シフトレジスタ404およびラッチ回路403を含む駆動制御系のロジック系のトランジスタでのゲート長と同じにすることが容易であるので、半導体装置あるいは集積回路としてのヘッド用基体の回路設計、レイアウト設計が容易になる、という利点がある。

【0030】

次に、上述したようなヘッド用基体を用いる本発明のインクジェットヘッドの概略構成について、図4を用いて説明する。

【0031】

ヘッド用基体400上には、上述したように、電気信号を受けることで熱を発生し、その熱によって発生する気泡によって吐出口40からインクを吐出するための発熱体（ヒータ）が複数個、列状に配されている。

【0032】

発熱体に対向する位置に設けられた吐出口40へインクを供給するための流路41がそれぞれの吐出口に対応して設けられている。これらの吐出口および流路を構成する壁が溝付き部材101に設けられており、これらの溝付き部材101を前述のヘッド用基体400に接続することで、流路41と複数の流路にインクを供給するための共通液室21が設けられている。

【0033】

次に、このようなインクジェットヘッドを用いるインクジェットプリント装置について説明する。

【0034】

図5は本発明のインクジェットヘッドが適用されるインクジェットプリント装置IJRAの概観図で、駆動モータ5013の正逆回転に連動して駆動力伝達ギア5011、5009を介して回転するリードスクリュー5005のらせん溝5004に対して係合するキャリッジHCは、インクジェットヘッドが着脱自在に搭載されるものであって、ピン（不図示）を有し、矢印a、b方向に往復移動される。5002は紙押え板であり、キャリッジ移動方向にわたって、典型的には紙であるプリント媒体をプリント媒体搬送手段であるプラテン5000に対して押圧する。5007、5008はフォトカプラでキャリッジのレバー5006のこの域での存在を確認してモータ5013の回転方向切換等を行うためのホームポジション検知手段である。5016はインクジェットヘッドの前面をキャップするキャップ部材5022を支持する部材で、5015はこのキャップ内を吸引する吸引手段でキャップ内開口5023を介してインクジェットヘッドの吸引回復を行う。5017はクリーニングブレードで、5019はこのブレードを前後方向に移動可能にする部材であり、本体支持板5018にこれらは支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることはいうまでもない。また、5012は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切換等の公知の伝達手段で移動制御される。

【0035】

これらのキャッピング、クリーニング、吸引回復は、キャリッジがホームポジション側領域にきたときにリードスクリュウ5005の作用によってそれらの対応位置で所望の処理が行えるように構成されているが、周知のタイミングで所望の作動を行うようにすれば、本例には何れも適用できる。上述における各構成は単独でも複合的に見ても優れた発明であり、本発明にとって好ましい構成例を示している。

【0036】

なお、本装置にはインクジェットヘッド（ヘッド用基体）に対して発熱体を駆動するための駆動信号やその他の信号を供給するための信号供給手段を備えている。

【0037】

【発明の効果】

以上説明したように本発明は、パルス幅規定信号（ヒートパルス）のラインに論理回路を設けてヒートパルスを遅延させ、同一ブロックに属する異なる発熱体に印加される駆動パルスのタイミングがずれるようにしたことにより、発熱体を流れる電流を精度よく制御できるとともに、発熱体駆動に伴うパルス状電流の電流変化率が抑えられてノイズの発生が抑制される、という効果がある。さらに、タイミングをずらすためにCR積分回路を使用しないため、ヘッド用基体におけるサイズの増加を抑えることができる、という効果もある。

【図面の簡単な説明】

【図1】

本発明の実施の一形態のインクジェットヘッド用基体の回路構成図である。

【図2】

図1に示すインクジェットヘッド用基体内のインバータ遅延回路の構成例を示す回路図である。

【図3】

図1に示すインクジェットヘッド用基体内のインバータ遅延回路の別の構成例を示す回路図である。

【図4】

図 1 に示した基体を用いたインクジェットヘッドの概略構成図である。

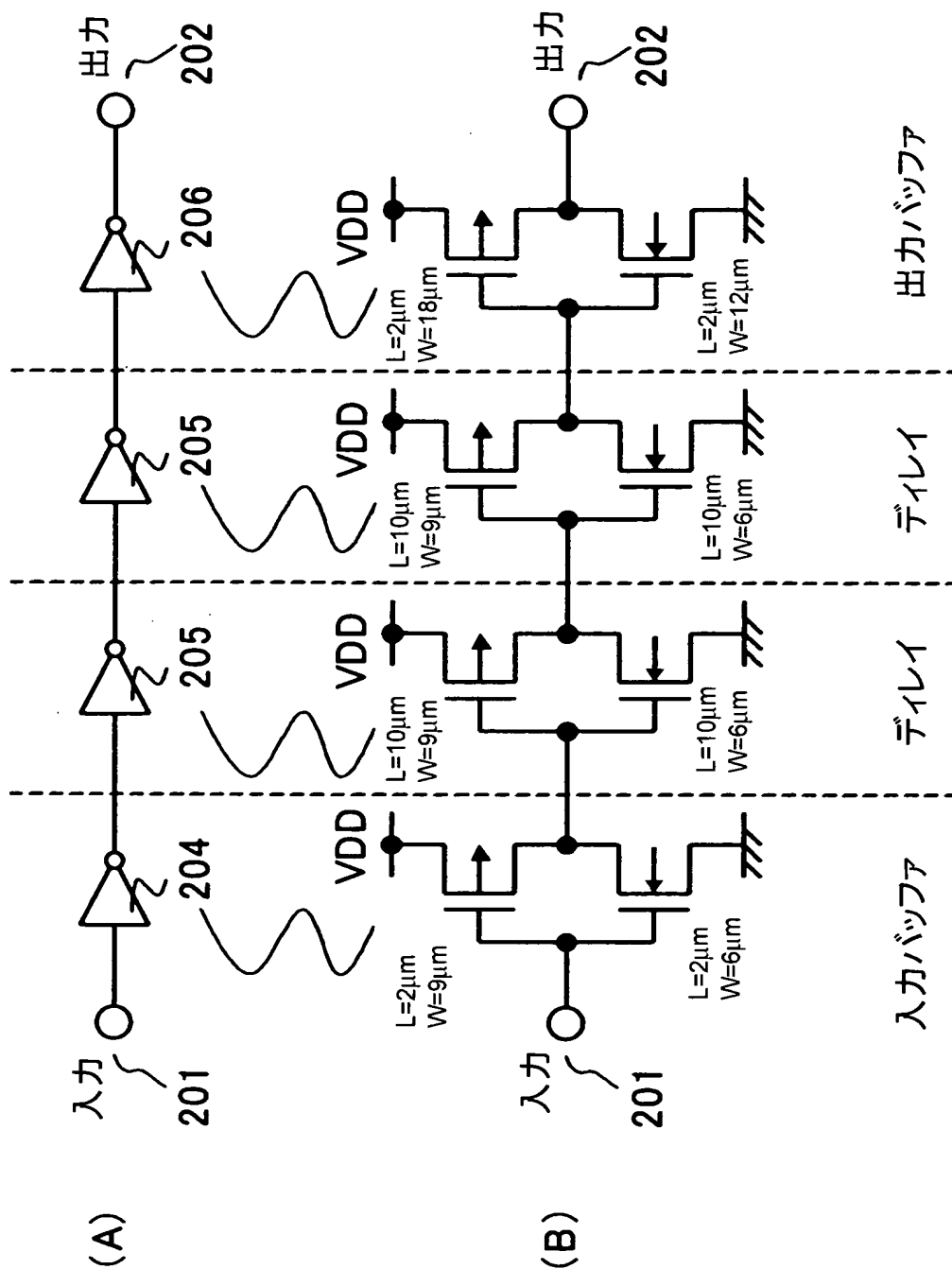
【図 5】

図 4 に示したインクジェットヘッドを用いたインクジェットプリント装置の構成例を示す斜視図である。

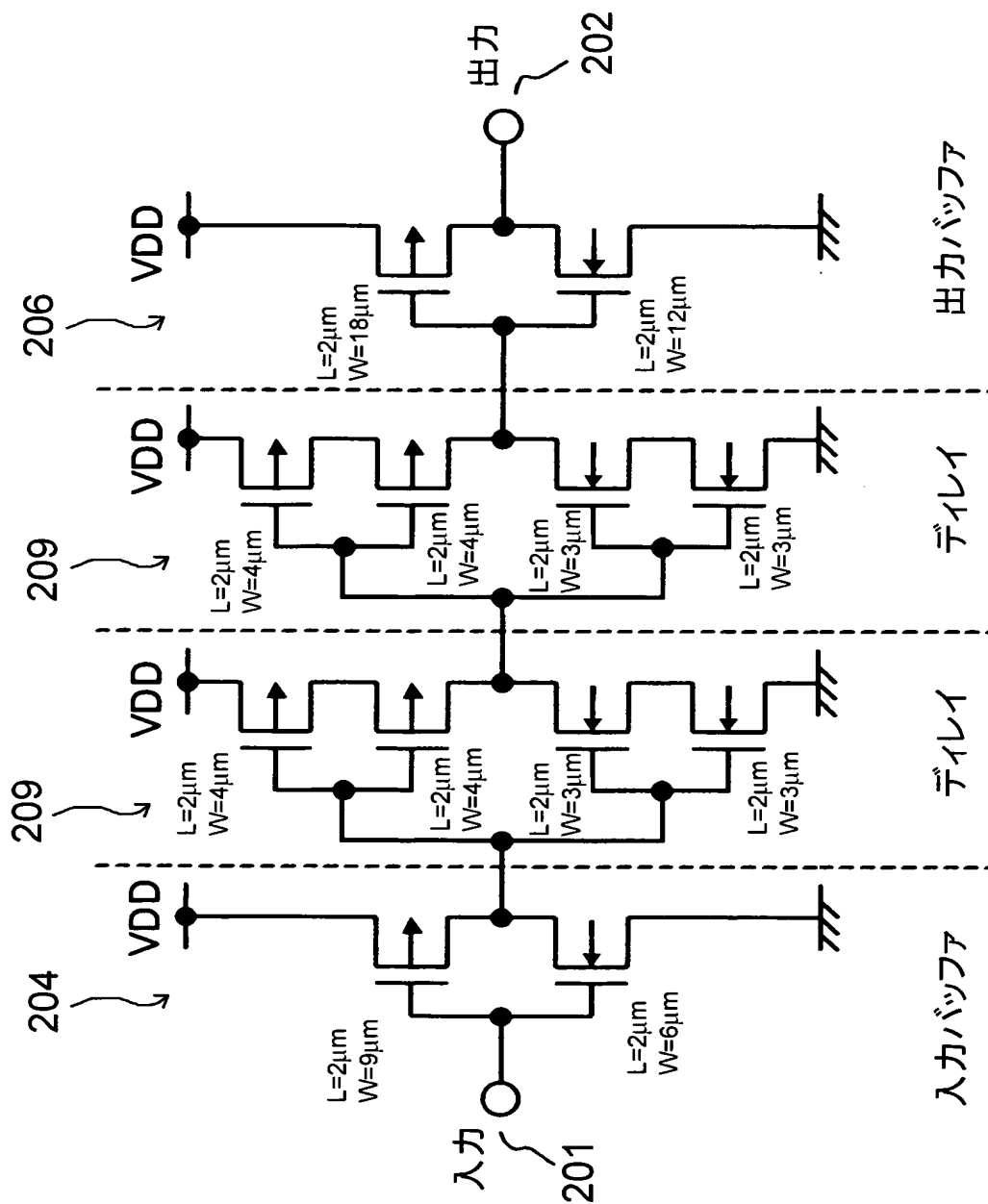
【符号の説明】

- 1 0 2 遅延回路群
- 1 0 4 遅延回路
- 2 0 4 入力バッファ
- 2 0 5 デイレイ
- 2 0 6 出力バッファ
- 4 0 0 インクジェットヘッド用基体
- 4 0 1 発熱体
- 4 0 2 パワートランジスタ
- 4 0 3 ラッチ回路
- 4 0 4 シフトレジスタ
- 4 0 5 ブロック選択用ロジック（デコーダ）
- 4 0 6 バッファ
- 4 0 7 ～ 4 1 5 パッド

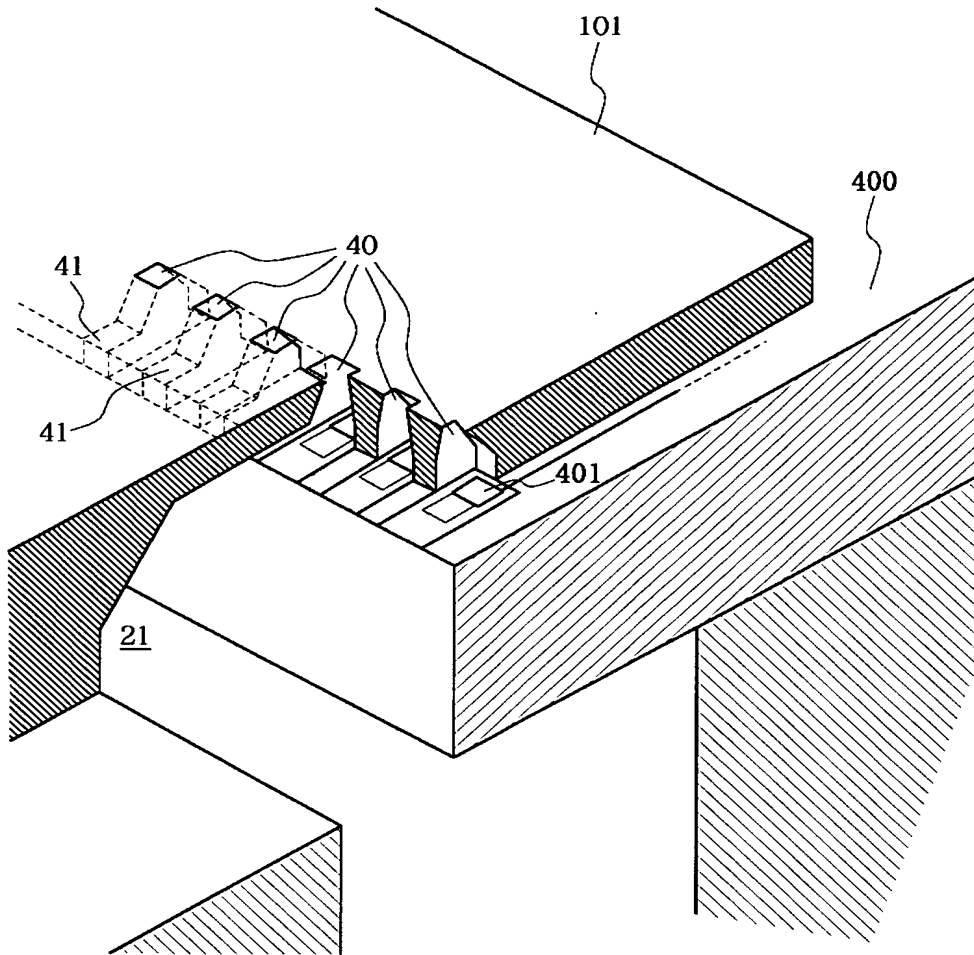
【図 2】



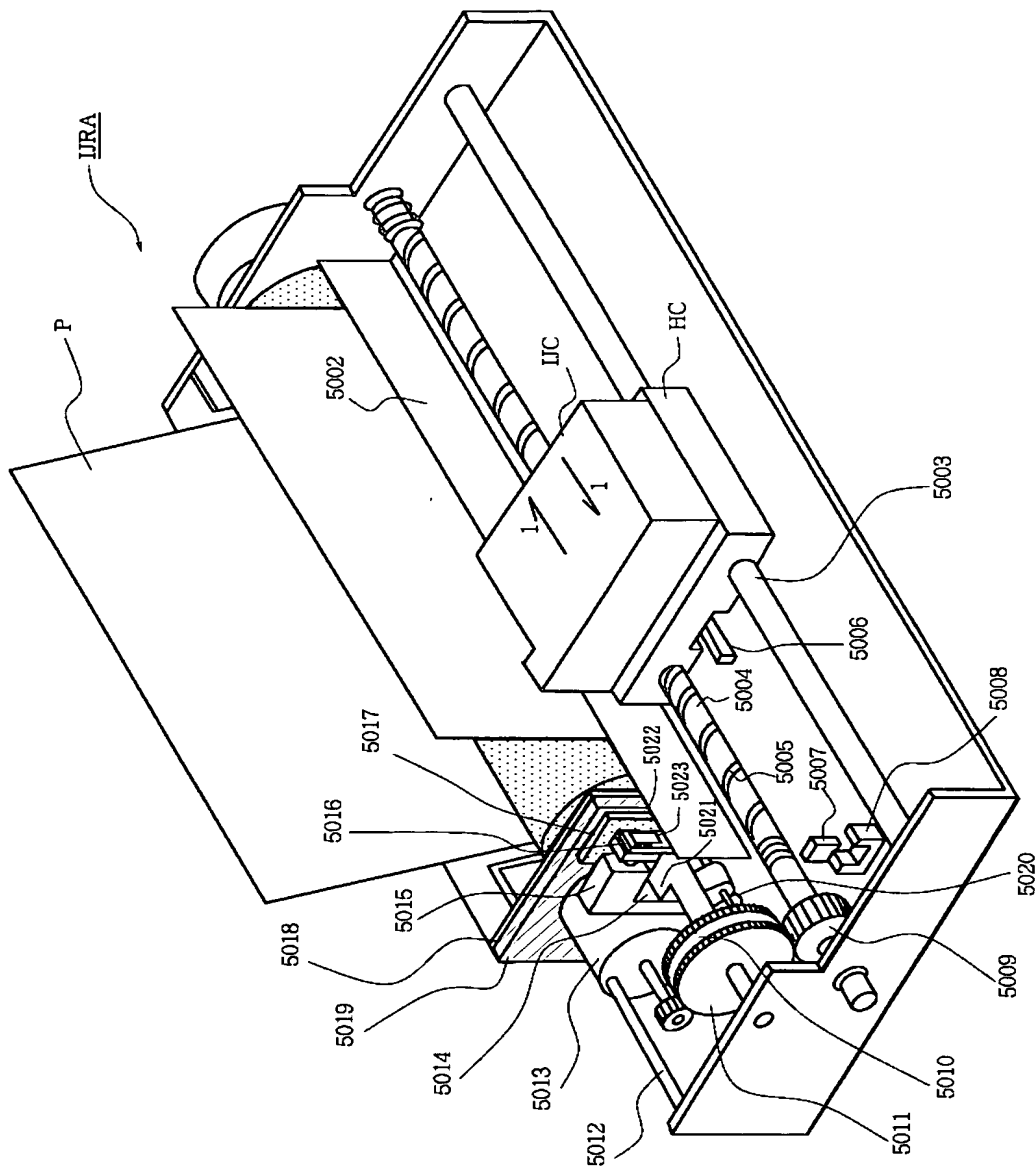
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 発熱体を駆動する際のノイズの発生を十分に抑えることができるとともに、寸法的にも小さく構成できるインクジェットヘッド用基体を提供する。

【解決手段】 複数の発熱体 4 0 1 と、発熱体 4 0 1 を画像データに応じて駆動させるパワートランジスタ 4 0 2 と、発熱体 4 0 1 に印加する駆動パルスの幅を規定するためのヒートパルス（パルス幅規定信号）の入力パッド 4 1 1 と、複数の発熱体 4 0 1 を所定個数ごとのブロックに分割しブロックを単位とした時分割駆動を行わせるためのブロック選択部とを形成してなるインクジェットヘッド用基体において、選択されたブロック内の発熱体 4 0 1 に印加される駆動パルスのタイミングをずらしてブロック内の発熱体 4 0 1 に供給するための論理回路（遅延回路 1 0 4）からなる遅延回路群 1 0 2 を、ヒートパルスのラインに設ける。

【選択図】 図 1

特願 2 0 0 2 - 2 1 1 0 0 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1 . 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社